



(19)

(11) Publication number:

11274455 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 10070558

(51) Int. Cl.: H01L 27/146 H04N 5/335

(22) Application date: 19.03.98

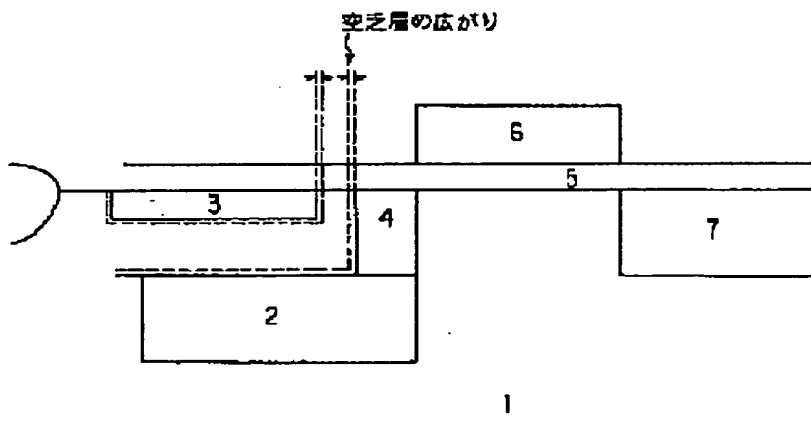
<p>(30) Priority:</p> <p>(43) Date of application publication: 08.10.99</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: TOSHIBA CORP</p> <p>(72) Inventor: YAMAGUCHI TETSUYA NOZAKI HIDETOSHI IHARA HISANORI INOUE IKUKO YAMASHITA HIROSHI NARUSE HIROSHI IGUMA HIDEMIKI SHIBATA HIDENORI MAKABE AKIRA ABE SEIGO NOMACHI EIKO SHIOYAMA YOSHIYUKI HORI MIKIKO</p> <p>(74) Representative:</p>
--	---

(54) SOLID-STATE IMAGE PICK UP DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a solid-state image pick up device, which accurately reads out a signal charge from a photodiode even when a voltage is reduced, and also reduces generation of leak current.

SOLUTION: A solid-state image pick up device is provided with a read transistor. The read transistor has an (n) type semiconductor layer 2, which is formed on a semiconductor substrate for photoelectric conversion, a (p) type semiconductor layer 3, which is formed to shield the upper surface of the (n) type semiconductor layer 2; and an (n) type semiconductor layer 4, which is formed on the surface of the semiconductor substrate and is connected electrically with the (n) type semiconductor layer 2 for reading a signal charge from the (n) type semiconductor layer 2. The read transistor reads the signal charge from the (n) type semiconductor layer 2 through the (n) type semiconductor layer 4. The (p) type semiconductor layer 3 and the (n) type semiconductor layer 4 are formed at a prescribed interval so as not to bring the depletion layer formed by the (p) type semiconductor layer 3 into contact with the depletion layer formed by the (n) type semiconductor layer 4.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274455

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 27/146

H 0 1 L 27/14

A

H 0 4 N 5/335

H 0 4 N 5/335

P

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平10-70558

(22) 出願日 平成10年(1998)3月19日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山口 鉄也

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 野崎 秀俊

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(72) 発明者 井原 久典

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝研究開発センター内

(74) 代理人 弁理士 鈴江 武彦 (外6名)

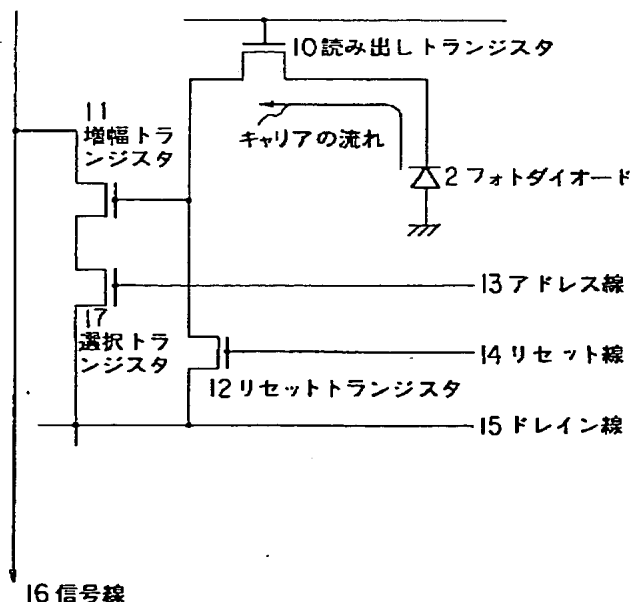
最終頁に続く

(54) 【発明の名称】 固体撮像装置

(57) 【要約】

【課題】低電圧化しても、フォトダイオードから信号電荷を正確に読み出すことができ、かつ、リーク電流の発生を低減することができる固体撮像装置を提供する。

【解決手段】半導体基板上に形成されて光電変換を行う n 型半導体層 2 と、この n 型半導体層 2 の上部表面をシールドするべく形成された p 型半導体層 3 と、n 型半導体層 2 から信号電荷を読み出すために、n 型半導体層 2 と電気的に接続して半導体基板表面に形成された n 型半導体層 4 とを有して、n 型半導体層 4 を介して n 型半導体層 2 から信号電荷を読み出すようにした読み出しトランジスタを具備する固体撮像装置であって、p 型半導体層 3 が形成する空乏層と、n 型半導体層 4 が形成する空乏層とが接触しないように、p 型半導体層 3 と n 型半導体層 4 とが所定の距離だけ離して形成されている。



【特許請求の範囲】

【請求項 1】 半導体基板と、

この半導体基板上に形成されて光電変換を行う第 1 の第 1 導電型の半導体層と、

この第 1 の第 1 導電型の半導体層の上部表面をシールドするべく形成された第 1 導電型と逆の第 2 導電型の半導体層と、

前記第 1 の第 1 導電型の半導体層から信号電荷を読み出すために、前記第 1 の第 1 導電型の半導体層と電氣的に接続して半導体基板表面に形成された第 2 の第 1 導電型の半導体層と、

を有して、前記第 2 の第 1 導電型の半導体層を介して前記第 1 の第 1 導電型の半導体層から信号電荷を読み出すようにした読み出しトランジスタを具備する固体撮像装置であって、

前記第 2 導電型の半導体層が形成する空乏層と、前記第 2 の第 1 導電型の半導体層が形成する空乏層とが接触しないように、前記第 2 導電型の半導体層と前記第 2 の第 1 導電型の半導体層とが所定の距離だけ離して形成されていることを特徴とする固体撮像装置。

【請求項 2】 前記読み出しトランジスタは、前記半導体基板の表面に絶縁物を挟んで形成されたゲート電極を有し、前記第 2 の第 1 導電型の半導体層を前記ゲート電極の形成に先立って形成することで、前記第 2 の第 1 導電型の半導体層が前記ゲート電極に覆われるようにしたことを特徴とする請求項 1 記載の固体撮像装置。

【請求項 3】 前記第 2 導電型の半導体の少なくとも一部が、前記ゲート電極の形成の後に、このゲート電極と自己整合的に形成されることを特徴とする請求項 2 記載の固体撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、固体撮像装置に係わり、特に増幅機能を有する固体撮像装置に関する。

【0002】

【従来の技術】従来の CCD タイプの固体撮像装置では、素子を駆動するために 3 つの電源を必要とする。また、CCD 素子の消費電力は、500mW である。一方、最近、CMOS タイプの増幅型固体撮像装置（CMOS イメージセンサー）が提案され、商品化されつつある。この CMOS イメージセンサーの特徴の 1 つとして、単一電源、低電圧駆動、低消費電力（50mW）がある。

【0003】CMOS イメージセンサーも CCD タイプと同様に多画素化されており、同一基板上に、光電変換素子とトランジスタが並設された構成がとられている。そして、光電変換素子により発生した信号電荷で信号電荷蓄積部の電位を変調し、その電位により画素内部の増幅トランジスタを変調することで画素内部に増幅機能を持たせている。

【0004】また、CMOS イメージセンサーも CCD タイプと同様に、光電変換部のフォトダイオードが基板内に埋め込まれた構造（埋め込みフォトダイオード：S3）が主流になりつつある。このような S3 構造の CMOS イメージセンサーでは、フォトダイオードの基板表面は p 型半導体層でシールドされている。このように、シールド用の p 型半導体層を設けることで、フォトダイオードの基板表面にある欠陥準位からの発生電流（電子）がフォトダイオードに流れ込まないようにすることができ、これによって白傷や暗時むら等を大幅に低減できる。

【0005】また、CMOS イメージセンサーでは、CCD タイプと比較して低電圧駆動であることを素子の特徴としているが、光電変換を行うフォトダイオードからの信号電荷を読み出す場合、CCD では、読み出しトランジスタに 10V の電圧を印加してフォトダイオードから信号電荷を読み出している。しかしながら、CMOS イメージセンサーでは、フォトダイオードからの信号を読み出すために、読み出しトランジスタに印加できる電圧は 3V 程度である。このため、基板内に埋め込まれたフォトダイオードから信号電荷読み出しのために、読み出しトランジスタのゲートに印加できる電圧が低いために、フォトダイオードから信号電荷を読み出せないという問題が起きる。

【0006】そこで、読み出しトランジスタに印加される電圧が低電圧でも信号電荷を読み出せる様にするために、読み出しトランジスタ近傍に P（リン）を打ち込んで、フォトダイオードを構成する n 型半導体層に接続する第 2 の n 型半導体層を基板表面に形成する構造の読み出しトランジスタが提案されている。

【0007】

【発明が解決しようとする課題】しかしながら、上記した従来の S3 構造のフォトダイオードでは、読み出しトランジスタのゲート近傍に形成される読み出し用の n 型半導体層と、フォトダイオードをシールドするために基板表面に形成される p 型半導体層とが接近した構成なので、n 型半導体層と p 型半導体層の接合界面近傍が白傷の原因となる発生電流の発生場所になってしまうという問題があった。

【0008】本発明は、このような課題に着目してなされたものであり、その目的とするところは、S3 構造のフォトダイオードにおいて、フォトダイオードから信号電荷を読み出す読み出しトランジスタのゲートに印加される電圧が低電圧化しても、フォトダイオードから信号電荷を正確に読み出すことができ、かつ、読み出しトランジスタのゲート近傍の発生電流に起因したリーク電流の発生を低減して白傷、暗時むらの少ない固体撮像装置を提供することにある。

【0009】

【課題を解決するための手段】上記した目的を達成する

ために、第1の発明に係る固体撮像装置は、半導体基板と、この半導体基板上に形成されて光電変換を行う第1の第1導電型の半導体層と、この第1の第1導電型の半導体層の上部表面をシールドするべく形成された第1導電型と逆の第2導電型の半導体層と、前記第1の第1導電型の半導体層から信号電荷を読み出すために、前記第1の第1導電型の半導体層と電氣的に接続して半導体基板表面に形成された第2の第1導電型の半導体層とを有して、前記第2の第1導電型の半導体層を介して前記第1の第1導電型の半導体層から信号電荷を読み出すようにした読み出しトランジスタを具備する固体撮像装置であって、前記第2導電型の半導体層が形成する空乏層と、前記第2の第1導電型の半導体層が形成する空乏層とが接触しないように、前記第2導電型の半導体層と前記第2の第1導電型の半導体層とが所定の距離だけ離して形成されている。

【0010】また、第2の発明に係る固体撮像装置は、第1の発明に係る固体撮像装置において、前記読み出しトランジスタは、前記半導体基板の表面に絶縁物を挟んで形成されたゲート電極を有し、前記第2の第1導電型の半導体層を前記ゲート電極の形成に先立って形成することで、前記第2の第1導電型の半導体層が前記ゲート電極に覆われるようにしている。

【0011】また、第3の発明に係る固体撮像装置は、第1の発明に係る固体撮像装置において、前記第2導電型の半導体の少なくとも一部が、前記ゲート電極の形成の後に、このゲート電極と自己整合的に形成される。また、第4の発明に係る固体撮像装置は、第1の発明に係る固体撮像装置において、前記半導体基板には、第2導電型のウェル領域が形成されている。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の一実施形態を詳細に説明する。図1は本発明が適用される固定撮像装置の任意の1つのセルの構成を示している。図1において、まず、リセット線14に電圧を印加してリセットトランジスタ12をONして配線に残っている電荷をドレイン線15上に排出する。次に、リセットトランジスタ12をOFFするとともに読み出しトランジスタ10のゲートに所定の電圧（ここでは3V程度）を印加することでONする。これによってフォトダイオード2の光電変換により発生したキャリアが増幅トランジスタ11側に流れ込む。この時点で読み出しトランジスタ10をOFFすると、増幅トランジスタ11のゲートには逃げ道を失った電荷が蓄積されて増幅トランジスタ11がONする。同時に読み出すラインを選択するためにアドレス線13に電圧を印加して選択トランジスタ17をONすると信号線16上に信号が読み出される。

【0013】以下に本発明の第1実施形態を説明する。図2は、本発明の第1実施形態において、上記したフォトダイオード2と読み出しトランジスタ10を含む固体

撮像装置の断面図である。図2に示すように、本固体撮像装置では、低濃度のp型半導体層1（pウェル）の表面にフォトダイオードとしてのn型半導体層2と、このn型半導体層2の上部表面をシールドするためのp型半導体層3が形成され、さらにn型半導体層2と電氣的に接続されて、当該n型半導体層2からの信号電荷を読み出すためのn型半導体層4が形成されている。このとき、p型半導体層3とn型半導体層4は、パターンの分離され、p型半導体層3とn型半導体層4から広がる空乏層が接触しないような構造になっている。さらに、シリコン酸化膜5を介してドレインを形成するn型半導体層7が形成され、n型半導体層4とn型半導体層7との間にはゲート電極6が形成されている。上記したp型半導体層1と、n型半導体層2、n型半導体層4と、ゲート電極6と、n型半導体層7とは、n型半導体層2から信号電荷を読み出すための読み出しトランジスタを形成している。上記したように本実施形態では、n型半導体層4を介してn型半導体層2からの信号を読み出す構造になっている。これによって、読み出しトランジスタのゲートに印加される電圧が低電圧化してもn型半導体層2からの信号電荷を正確に読み出すことができる。

【0014】以下、図2を参照して本実施形態の増幅型固体撮像装置の製造方法の一例を説明する。ここでは、本実施形態の特徴となる読み出しトランジスタ及びフォトダイオード部の製造方法を主として説明する。

【0015】まず、半導体基板上にpウェル（低濃度のp型半導体層1）を形成するために、例えばB（ボロン）を、 $3 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入法により打ち込む。この後、1200度程度で数時間熱拡散させてpウェルを形成する。この後、素子分離のためにLOCOSを形成する。

【0016】そして、読み出しトランジスタのしきい値を決めるためにBやP（リン）をイオン注入する（チャネルインプラの工程）。次に、読み出しトランジスタのゲート電極を形成するためにLPCVD法などでポリシリコンを膜堆積し、所望の形状にレジストをパターンニングする。そして、RIE（反応性イオンエッチング）などで読み出しトランジスタのゲート電極6を形成する。

【0017】この後、光電変換を行うn型半導体層2が開口するようにレジストをパターンニングし、加速器を用いてPを例えば400KeVのエネルギーで $2 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入し、n型半導体層2を形成する。また、n型半導体層2の一部とパターンの重なるようにレジストをパターンニングし、P（リン）を打ち込み、n型半導体層2と電氣的に接続された読み出し用のn型半導体層4を形成する。この後、n型半導体層2の基板表面をp型半導体層3でシールドするために、レジストをパターンニングする。

【0018】この時、読み出しトランジスタのゲート電極6の近傍にn型半導体層2と電氣的に接続されたn型

半導体層 4 が存在するので、n 型半導体層 2 の表面をシールドするための p 型半導体層 3 は、パターンの n 型半導体層 4 と約 $0.2 \mu\text{m}$ 以上離れた構造のパターンとなっている。この理由は、前記したように基板表面に形成された n 型半導体層 4 による空乏層と、n 型半導体層 2 の表面をシールドする p 型半導体層 3 による空乏層とが接触しないようにするためである。それぞれの空乏層が接触すると白傷の原因となる暗電流の発生場所となる。

【0019】このため、一つの方法としては、n 型半導体層 2 が形成される p 型半導体層 1 の濃度を十分に高くして p 型半導体層 3 の空乏層と n 型半導体層 4 の空乏層とが接触しないようにする。具体的な数値としては、p 型半導体層 1 の濃度が $1 \times 10^{17} / \text{cm}^{-3}$ のとき、p 型半導体層 3 (濃度 $1 \times 10^{19} / \text{cm}^{-3}$) と、n 型半導体層 4 (濃度: $1 \times 10^{17} / \text{cm}^{-3}$) とで $0.2 \mu\text{m}$ 以上パターンの的に離れていることが必要となる。

【0020】図 3 は上記した製造工程により製造された固体撮像装置の平面パターンを示す図である。図 2 からわかるように、p 型半導体層 3 と n 型半導体層 4 とは、パターンの的に x (ここでは $0.2 \mu\text{m}$ 以上) だけ離れている。

【0021】上記した第 1 実施形態によれば、n 型半導体層 4 と p 型半導体層 3 から広がるそれぞれの空乏層が互いに接触することのない構造にしたので、n 型半導体層 4 と p 型半導体層 3 の接合界面で発生する発生電流を低減することができ、これによって、暗電流の低い、白傷の少ない撮像画像を得ることができる。

【0022】なお、上記した図 3 に示す構成の他に、図 4 (A)、(B)、(C) に示すような変形例が考えられる。図 4 (B) の構成では、p 型半導体層 3 と n 型半導体層 4 とによる離間部の周囲長は図 3 の構成よりも小さく、図 4 (C) の構成ではさらに小さいので、リーク電流の発生確率、発生量もより少なくなるものと考えられる。この結果、暗電流のより低い、白傷のより少ない撮像画像を得ることができる。

【0023】以下に本発明の第 2 実施形態を説明する。図 5 は本発明の第 2 実施形態において、n 型半導体層 2 と読み出しトランジスタ 10 を含む固体撮像装置の断面図である。第 2 実施形態では、第 1 実施形態と同様な読み出しトランジスタの形成において、既知の方法で活性領域 (SDG) を形成した後、n 型半導体層 2 及び、n 型半導体層 2 と電気的に接続される n 型半導体層 4 をイオン注入法で P を打ち込み形成する。この後、読み出しトランジスタのゲート電極 6 を形成する。この結果、n 型半導体層 2 の一部と N 型半導体層 4 はゲート電極 6 に覆われる。このとき、n 型半導体層 4 のイオン注入するパターンをゲート電極 6 の端からわずかに離しておくことが好ましい。この後、n 型半導体層 2 の表面を覆うべく、B をイオン注入してゲート電極 6 に対して自己整合

的に p 型半導体層 3 を形成する。

【0024】図 6 は、上記した製造工程により製造された固体撮像装置の平面パターンを示す図である。図 6 からわかるように、p 型半導体層 3 と n 型半導体層 4 とは、パターンの的に x (ここでは $0.2 \mu\text{m}$ 以上) だけ離れている。

【0025】上記した第 2 実施形態によれば、上記した第 1 実施形態の効果に加えて、ゲート電極 6 に対して p 型半導体層 3 を自己整合的に形成したので、合わせずれがなくなる効果がある。

【0026】図 7 (A) 及び図 7 (B) は上記した第 2 実施形態の変形例を示す図である。図 6 の構成では n 型半導体層 4 の長さ L 全体に渡って電流パスがあるのでそれに対応してリーク電流が発生する可能性があるが、図 7 (A) の構成では n 型半導体層 4 の周囲の一部のみに電流パスが存在するので、リーク電流の発生確率及び発生量がより少なくなるものと考えられる。また、図 7

(B) の構成では n 型半導体層 4 の周囲のほぼ一点のみに電流パスが存在するので、リーク電流の発生確率及び発生量が図 7 (A) よりもさらに少なくなる効果がある。

【0027】以上、本発明の実施の形態について説明したが、本発明はこれに限定されることなく、その趣旨を逸脱しない範囲で種々の改良、変更が可能であることは勿論である。

【0028】

【発明の効果】本発明によれば、S 3 構造のフォトダイオードにおいて、フォトダイオードから信号電荷を読み出す読み出しトランジスタのゲートに印加される電圧が低電圧化しても、フォトダイオードから信号電荷を正確に読み出すことができ、かつ、読み出しトランジスタのゲート近傍の発生電流に起因したリーク電流の発生を低減して白傷、暗時むらの少ない固体撮像装置を提供することができる。

【図面の簡単な説明】

【図 1】本発明が適用される固定撮像装置の任意の 1 つのセルの構成を示す図である。

【図 2】本発明の第 1 実施形態において、n 型半導体層 2 と読み出しトランジスタ 10 を含む固体撮像装置の断面図である。

【図 3】図 2 の断面図に対応する固体撮像装置の平面パターン図である。

【図 4】本発明の第 1 実施形態の変形例を示す図である。

【図 5】本発明の第 2 実施形態において、n 型半導体層 2 と読み出しトランジスタ 10 を含む固体撮像装置の断面図である。

【図 6】図 5 の断面図に対応する固体撮像装置の平面パターン図である。

【図 7】本発明の第 1 実施形態の変形例を示す図であ

7

8

る。

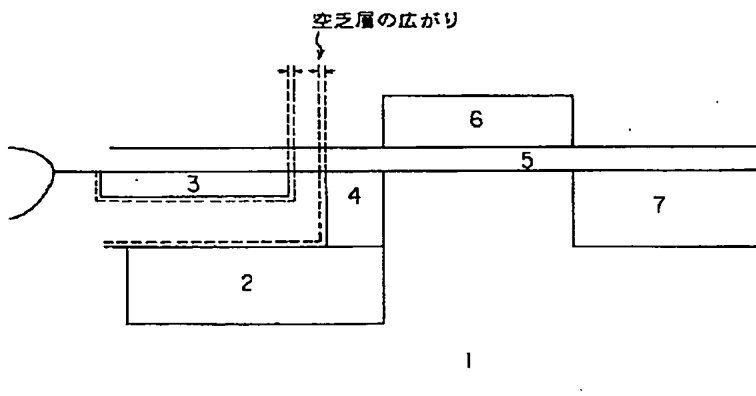
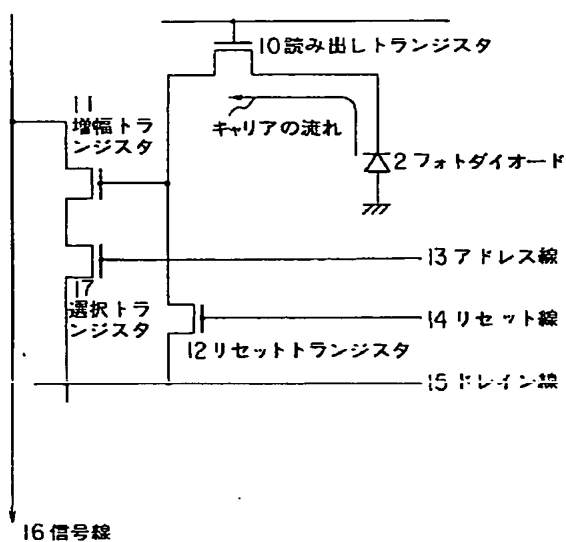
【符号の説明】

- 1…p型半導体層（pウェル）、
 2…n型半導体層（フォトダイオード）、
 3…p型半導体層（シールド用）、
 4…n型半導体層（読み出し用）、
 5…ゲートの酸化膜
 6…ゲート電極
 7…読み出しトランジスタのドレイン

- 10…読み出しトランジスタ、
 11…増幅トランジスタ、
 12…リセットトランジスタ、
 13…アドレス線、
 14…リセット線、
 15…ドレイン線、
 16…信号線。
 17…選択トランジスタ。

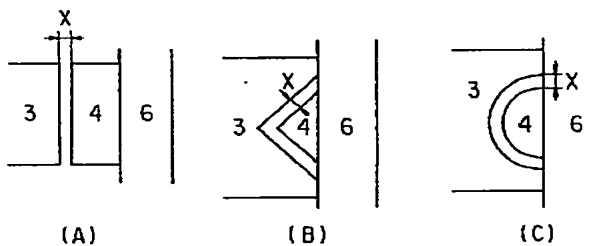
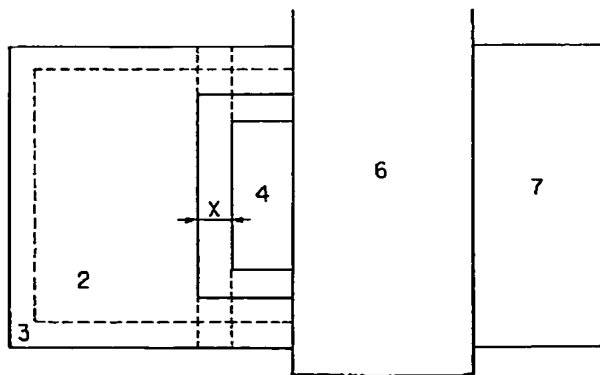
【図 1】

【図 2】



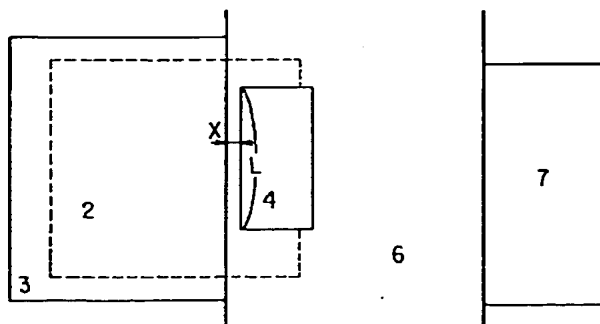
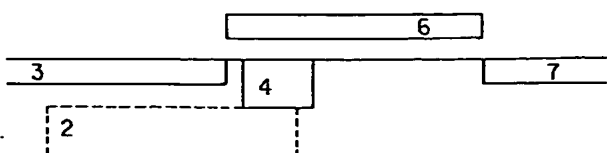
【図 4】

【図 3】

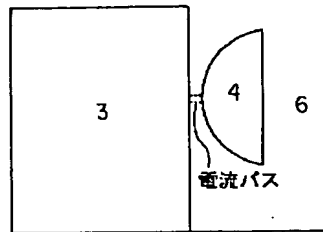


【図 6】

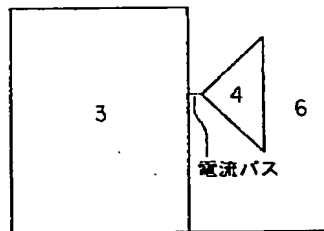
【図 5】



【図 7】



(A)



(B)

フロントページの続き

(72) 発明者 井上 郁子
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 山下 浩史
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝研究開発センター内

(72) 発明者 成瀬 宏
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 猪熊 英幹
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 柴田 英紀
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 眞壁 晃
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 安部 征吾
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 野町 映子
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 塩山 善之
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

(72) 発明者 堀 幹子
神奈川県川崎市幸区小向東芝町 1 番地 株
式会社東芝多摩川工場内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.